

(19)



JAPANESE PATENT OFFICE

PATENT ABSTRACTS OF JAPAN

(11) Publication number: **09260446 A**(43) Date of publication of application: **03.10.97**

(51) Int. Cl.
H01L 21/66
G01B 7/00
H01L 21/027

(21) Application number: **08069572**(71) Applicant: **FUJITSU LTD**(22) Date of filing: **26.03.96**(72) Inventor: **KAWAMURA EIICHI**

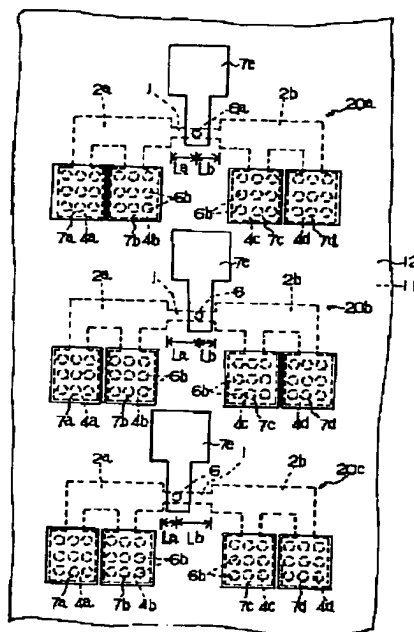
(54) **MEASURING METHOD OF POSITIONAL
 DISCREPANCY OF SEMICONDUCTOR DEVICE**

(57) Abstract:

PROBLEM TO BE SOLVED: To provide a measuring method of the positional discrepancy of a semiconductor device whereby the positional discrepancy quantity between a contact and a wiring pattern, the positional discrepancy quantity between the wiring pattern and another wiring pattern connected with the wiring pattern, and the like can be measured very accurately.

SOLUTION: On a semiconductor board, via an insulation film 11, three measurement patterns 20a-20c are formed out of a conductive material each of which comprises a first pattern 1 extended in an X direction, a second pattern 2a extended from the one-end portion of the first pattern 1 in the -X direction, a second pattern 2b extended from the other end portion of the first pattern 1 in the +X direction, and the like. Thereafter, on the whole surface of the three measurement patterns 20a-20c, an interlayer insulation film 12 is formed to form three contacts 6a connected with the respective first patterns 1 of the three measurement patterns 20a-20c. At this time, sets of distances La, Lb are made different from each other in relation to the respective measurement patterns 20a-20c. Thereafter, making a current flow in between pads 7a, 7b in each measurement pattern, the potential differences both between pads 7b, 7e and between pads 7c, 7e are measured to determine the positional discrepancy quantities of a semiconductor device based on these potential differences.

COPYRIGHT: (C)1997,JPO



(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平9-260446

(43) 公開日 平成9年(1997)10月3日

(51) IntCl. ⁵	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L 21/66			H 0 1 L 21/66	J
G 0 1 B 7/00			G 0 1 B 7/00	B
H 0 1 L 21/027			H 0 1 L 21/30	5 0 2 V

審査請求 未請求 請求項の数 4 O L (全 8 頁)

(21) 出願番号 特願平8-69572

(22) 出願日 平成8年(1996)3月26日

(71) 出願人 000005223

富士通株式会社

神奈川県川崎市中原区上小田中4丁目1番
1号

(72) 発明者 河村 栄一

神奈川県川崎市中原区上小田中1015番地
富士通株式会社内

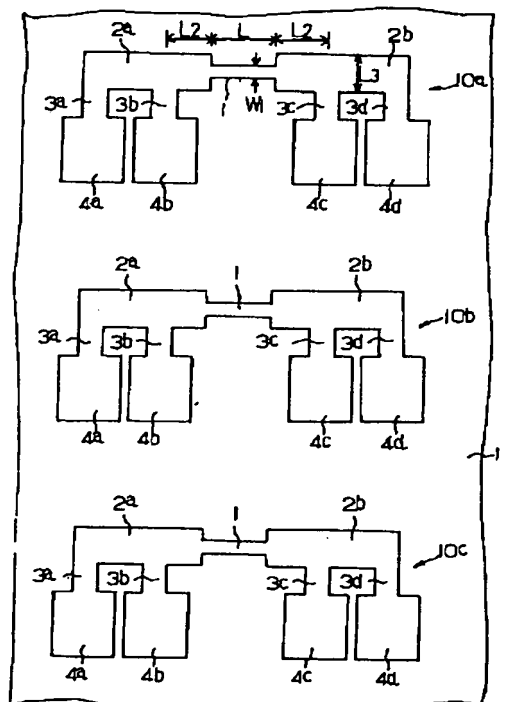
(74) 代理人 弁理士 岡本 啓三

(54) 【発明の名称】 半導体装置の位置ずれ測定方法

(57) 【要約】

【課題】 コンタクトと配線パターンとの位置ずれ量及び配線パターンと該配線パターンに接続された他の配線パターンとの位置ずれ量等を高精度に測定できる半導体装置の位置ずれ測定方法を提供する。

【解決手段】 半導体基板上に絶縁膜11を介して、X方向に延びる第1パターン1並びに該第1パターン1の端部から-X及び+X方向に延びる第2パターン2a、2b等からなる3個のパターンを導電材料により形成する。その後、全面に層間絶縁膜12を形成し、各第1パターン1に接続するコンタクト6aを形成する。このとき、距離La、Lbを各測定用パターン20a~20cについて異なるものとする。その後、パッド7a、7d間に電流を流しつつ、パッド7b、7e及びパッド7c、7e間の電位差を測定し、その電位差に基づき位置ずれ量を求める。



【特許請求の範囲】

【請求項1】 半導体基板表面又は半導体基板上に一方
向に延びる複数の導電パターンを形成し、
これらの導電パターン上に絶縁膜を形成し、この絶縁膜
に前記複数の導電パターンにそれぞれ個別的に接続する
複数のコンタクトを形成した後、
前記導電パターンに電流を流し、前記コンタクトにより
2分された前記導電パターンの2つの領域における電位
差に基づいて前記コンタクトの前記導電パターンに対す
る位置ずれ量を測定することを特徴とする半導体装置の
位置ずれ測定方法。

【請求項2】 前記複数の導電パターンは前記コンタク
トにより2分された領域の長さが相互に異なることを特
徴とする請求項1に記載の半導体装置の位置ずれ測定方
法。

【請求項3】 半導体基板表面又は半導体基板上に一方
向に延びる複数の第1導電パターンを形成し、
これらの第1導電パターンにそれぞれ個別的に接続する
複数の第2の導電パターンを形成した後、
前記第1の導電パターンに電流を流し、前記第2の導電
パターンにより2分された前記第1導電パターンの2つ
の領域における電位差に基づいて前記第2の導電パター
ンの前記第1導電パターンに対する位置ずれ量を測定す
ることを特徴とする半導体装置の位置ずれ測定方法。

【請求項4】 前記複数の第1の導電パターンは前記第
2の導電パターンにより2分された領域の長さが相互に
異なることを特徴とする請求項3に記載の半導体装置の
位置ずれ測定方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、半導体基板に形成
された2つの層にそれぞれ設けられたパターンの位置ず
れを電気的に検出する半導体装置の位置ずれ測定方法に
関する。

【0002】

【従来の技術】近年、半導体デバイスの微細化に伴っ
て、デバイスの各層間でのパターンの位置ずれを正確に
把握する必要性が生じている。これは、デバイスを設計す
る上で各層のパターンの重ね合わせ余裕を把握し、位置
ずれとデバイス特性との正確な相関を知る必要があるた
めである。

【0003】従来、半導体装置の製造工程で生じる2つ
の層のパターンの位置ずれ量を測定する方法として、各
層のパターンを転写する際に素子形成領域外の部分に例
えば十字形等の位置合わせマークを転写しておき、ウェ
ハプロセス終了後に光学顕微鏡等を使用して位置合わせ
マークのずれ量を測定する方法がある。また、特開平1
-268145号公報及び特開平4-85822号公報
には、半導体基板表面に位置合わせ用高抵抗拡散層及び
低抵抗拡散層を形成し、アライメントのずれを電気的に

測定することが提案されている。

【0004】

【発明が解決しようとする課題】しかしながら、光学式
顕微鏡等を使用して位置合わせマークのずれ量を測定す
る方法では、測定精度が十分でない。また、特開平1-
268145号公報及び特開平4-85822号公報に
開示された方法では、半導体基板表面の高抵抗拡散層と
低抵抗拡散層との間の位置ずれにしか適用することがで
きないとともに、これらの方法では、半導体基板上に配
線層や端子及びコンタクト等を形成した後、これらの配
線や端子及びコンタクト等を介して抵抗を測定するの
で、これらのパターンの誤差が測定値に含まれ、その結
果測定精度が低下してしまう。

【0005】本発明は、従来適用が困難であったコンタ
クトと配線パターンとの位置ずれ量及び配線パターンと
該配線パターンに接続された他の配線パターンとの位置
ずれ量等を高精度に測定できる半導体装置の位置ずれ測
定方法を提供することを目的とするものである。

【0006】

【課題を解決するための手段】上記した課題は、半導体
基板表面又は半導体基板上に一方向に延びる複数の導電
パターンを形成し、これらの導電パターン上に絶縁膜を
形成し、この絶縁膜に前記複数の導電パターンにそれぞ
れ個別的に接続する複数のコンタクトを形成した後、
前記導電パターンに電流を流し、前記コンタクトにより
2分された前記導電パターンの2つの領域における電位
差に基づいて前記コンタクトの前記導電パターンに対す
る位置ずれ量を測定することを特徴とする半導体装置の
位置ずれ測定方法により解決する。

【0007】また、上記した課題は、半導体基板表面又
は半導体基板上に一方向に延びる複数の第1導電パター
ンを形成し、これらの第1導電パターンにそれぞれ個別
的に接続する複数の第2の導電パターンを形成した後、
前記第1の導電パターンに電流を流し、前記第2の導電
パターンにより2分された前記第1導電パターンの2つ
の領域における電位差に基づいて前記第2の導電パター
ンの前記第1導電パターンに対する位置ずれ量を測定す
ることを特徴とする半導体装置の位置ずれ測定方法によ
り解決する。

【0008】本願の第1発明においては、まず、半導体
基板の表面又は半導体基板上に一方向に延びる複数の導
電パターンを形成する。これらの導電パターンは、一直
線状に配置されていてもよく、相互に平行に配置されて
いてもよい。その後、これらの導電パターン上に絶縁膜
を形成し、この絶縁膜にコンタクト窓を開口し、これら
のコンタクト窓を導電材料により埋め込むことにより、
各導電パターンに個別的に接続したコンタクトを形成す
る。そして、前記導電パターンに電流を流し、前記コン
タクトにより2分された前記導電パターンの2つの領域
における電位差を測定する。そうすると、前記導電パタ

ーンと前記コンタクトとの位置ずれ量に応じて電位差が変化するので、電位差に基づき位置ずれ量を知ることができる。

【0009】また、本願の第2発明においては、半導体基板の表面又は半導体基板上に一方に延びる複数の第1導電パターンを形成した後、各第1導電パターンを2分するようにして、各第1導電パターンに接続する第2導電パターンを形成する。そして、前記第1導電パターンに電流を流し、前記第2導電パターンにより2分された前記第1導電パターンの2つの領域における電位差を測定する。これにより、上記第1発明と同様に、第1導電パターンと第2導電パターンとの位置ずれ量を知ることができる。

【0010】

【発明の実施の形態】以下、本発明の実施の形態について、添付の図面を参照して説明する。

（第1の実施の形態）図1～図3は本発明の第1の実施の形態に係る半導体装置の位置ずれ測定方法を示す模式図である。なお、本実施の形態は、半導体基板上に絶縁膜を介して形成した配線層と、その上の層間絶縁膜に形成したコンタクトとの位置ずれの測定に本発明を適用したものである。

【0011】まず、図1に示すように、半導体基板上の全面に絶縁膜11を形成し、この絶縁膜11上に導電材料により3つのテストパターン10a～10cを形成する。これらのテストパターン10a～10cは同一形状

	La (μm)	Lb (μm)
テストパターン10a	L/2	L/2
テストパターン10b	(L/2) + 0.1	(L/2) - 0.1
テストパターン10c	(L/2) - 0.1	(L/2) + 0.1

【0015】次に、図3に示すように、層間絶縁膜12上の全面に金属膜を形成するとともに、コンタクト窓5a、5bをこの金属膜材料で埋め込んでコンタクト6a、6bを形成する。その後、この金属膜をパターニングして、コンタクト6bを介し第4パターン4a～4dにそれぞれ電氣的に接続されたパッド7a～7d及びコンタクト6aを介して第1パターン1に電氣的に接続されたパッド7eを得る。これにより、位置ずれ測定用パターン20a～20cが完成する。

	7b-7e	7c-7e	電位差
測定用パターン20a	V1a	V1b	V1a-V1b
測定用パターン20b	V2a	V2b	V2a-V2b
測定用パターン20c	V3a	V3b	V3a-V3b

【0018】そして、図4に示すように、位置ずれ量-電位差のグラフに算出値をプロットする。これらの点を直線近似した直線がdV=0のときの位置ずれ量X0が

であり、いずれも一方（以下、X方向という）に延びる線状の第1パターン1と、この第1パターン1の両端部から-X方向及び+X方向に延びる第2パターン2a、2bと、この第2パターン2a、2bから直角方向（Y方向という）に延びる第3パターン3a～3dと、この第3パターン3a～3dの各端部に接続された矩形状の第4パターン4a～4dとにより構成され、第1パターン1に直交する線分に対し線対称形となっている。

【0012】なお、第1パターン1の幅をW1、長さをL、第1パターン1の一端部から第3パターン3bの中心線までの長さ及び第1パターン1の他端部から第3パターン3cの中心線までの長さをいずれもL2、第2パターン2a、2bの幅をL3とした場合に、 $L2/L3 \ll L/W1$ となるようにする。次に、図2に示すように、全面に層間絶縁膜12を形成した後、この層間絶縁膜12に、第1パターン1に到達するコンタクト窓5aを形成するとともに、各第4パターン4a～4d上にそれぞれ9個（縦3個×横3個）のコンタクト窓5bを形成する。

【0013】この場合に、図2に示すように、コンタクト窓5aと第1パターン1の一端部及び他端部との距離をそれぞれLa、Lbとすると、各テストパターン10a～10cにおける各La、Lbを、例えば下記表1に示すように設定する。

【0014】

【表1】

【0016】このようにして位置ずれ測定用パターン20a～20cを形成した後、位置ずれを測定する場合は、パッド7aとパッド7dとの間に所定の電流を流しながら、下記表2に示すように、パッド7bとパッド7eとの電位差及びパッド7cとパッド7eとの電位差を測定する。そして、各位置ずれ測定用パターン20a～20cについて、両者の差（電位差）を算出する。

【0017】

【表2】

パターンの位置ずれ量となる。このようにして、本実施の形態においては、位置ずれ量を電氣的に測定することができる。この場合に、各パッド7a～7dにそれぞれ

9個ずつのコンタクト6bが接続されているので、各パッド7a~7dのコンタクト抵抗のばらつきを抑制できる。

【0019】なお、上述した位置ずれ測定パターン20a~20cは、半導体基板に素子を形成する際に同時に形成すればよく、これにより工程の増加を回避することができる。また、上述の実施の形態においては、半導体基板上に絶縁膜を介して形成した配線層とその上の層間絶縁膜に形成したコンタクトとの位置ずれを測定する場合について説明したが、テストパターン10a~10cを半導体基板表面に不純物を拡散導入して形成することにより、基板表面の拡散層と基板上の絶縁膜に設けられたコンタクトとの間の位置ずれの測定に適用することもできる。

【0020】(第2の実施の形態)図5~図7は本発明の第2の実施の形態に係る半導体装置の位置ずれ測定方法を示す模式図である。なお、本実施の形態は、第1の配線パターンとこの第1の配線パターンに直接接続する第2の配線パターンとの位置ずれを測定するものである。

【0021】第1の実施の形態の図1に示す工程と同様に、半導体基板上の全面に絶縁膜11を形成し、この絶縁膜11上に第1のテストパターン10a~10cを形成する。次に、図5に示すように、第1のテストパターン10a~10cの各第1パターン1に接続する第2のテストパターン21を形成する。この第2のテストパターン21は、第1パターン1に直交するように形成された第1パターン21aと、この第1パターン21aの端部に設けられた矩形状の第2パターン21bとにより構成されている。この第2のテストパターン21と第1パターン1の一端部及び他端部との距離をLa、Lbとすると、第1のテストパターン10a~10cの各La、Lbは、前述の表1のように設定する。

【0022】次に、図6に示すように、全面に層間絶縁膜22を形成した後、各第4パターン4a~4d及び第2のテストパターン21の第2パターン21b上にそれぞれ9個(縦3個×横3個)のコンタクト窓25を形成する。次に、図7に示すように、層間絶縁膜22上の全面に金属膜を形成するとともに、コンタクト窓25をこの金属膜材料で埋め込んでコンタクト26を形成する。その後、この金属膜をパターニングして、コンタクト26を介して第1のテストパターン10a~10cの第4パターン4a~4d及び第2のテストパターン21の第2パターン21bにそれぞれ電気的に接続したパッド27a~27eを得る。これにより、位置ずれ測定用パターン40a~40cが完成する。

【0023】このようにして位置ずれ測定用パターン40a~40cを形成した後、位置ずれを測定する場合は、パッド27aとパッド27dとの間に所定の電流を流しながら、パッド27bとパッド27eとの間の電位

差及びパッド27cとパッド27eとの間の電位差を測定する。そして、第1の実施の形態と同様に、各測定用パターン40a~40cについて、両者の差(電位差)を算出し、図4に示すように位置ずれ量-電位差のグラフに算出値をプロットする。そして、これらの点を直線近似した直線が $dV=0$ のときの位置ずれ量 X_0 がパターンの位置ずれとなる。このようにして、本実施の形態においては、配線パターンとその配線パターンに直接接続する配線パターンとの位置ずれ量を測定することができる。

【0024】(第3の実施の形態)図8~図10は本発明の第3の実施の形態に係る半導体装置の位置ずれ測定方法を示す模式図である。なお、本実施の形態は、半導体基板にトランジスタを形成する際に、トランジスタのゲート電極とその上の層間絶縁膜に形成したコンタクトとの位置ずれ検出に本発明を適用したものである。

【0025】まず、図8に示すように、半導体基板上に絶縁膜41を介してゲート電極を形成する際に、素子形成領域外の領域に第1のテストパターン30を形成する。この第1のテストパターン30は、一方向(X方向)に延びる線状の第1パターン31と、この第1パターン31から直角方向に延び、且つ相互に等間隔に配置された第2パターン32a~32dと、第1パターン31の両端及び各第2パターン32a~32dの端部に接続された矩形状の第3パターン34a~34fとにより構成されている。

【0026】これらのパターンのサイズは、例えば、第1パターン31の幅が $0.8\mu\text{m}$ 、第2パターン32a~32dの幅が $0.5\mu\text{m}$ 、第3パターン34a~34fの一辺の長さが $2\mu\text{m}$ 、第2パターン32a~32dの間隔が $3\mu\text{m}$ である。次に、図9に示すように、全面に層間絶縁膜42を形成した後、この層間絶縁膜42に、第3パターン34a~34fに到達するコンタクト窓35を形成するとともに、第1パターン31に到達するコンタクト窓35a~35cを形成する。この場合に、各第3パターン34a~34f上には、それぞれ4個(2×2個)ずつのコンタクト窓35を形成する。また、コンタクト窓35aは第2パターン32a、32bの中間位置よりも $0.1\mu\text{m}$ だけ第2パターン34bに近い位置に形成し、コンタクト窓35bは第2パターン32b、32cの中間位置に形成し、コンタクト窓35cは第2パターン32c、32dの中間位置よりも $0.1\mu\text{m}$ だけ第2パターン32dに近い位置に形成する。これらのコンタクト窓35a~35cは、第1パターン31に直交する方向に延びる楕円形又は長丸形とする。これにより、X方向だけでなくY方向に位置ずれが発生しても、コンタクト抵抗の変化を回避することができる。

【0027】次に、図10に示すように、層間絶縁膜42上の全面に金属膜を形成するとともに、コンタクト窓

35、35a~35cをこの金属膜材料で埋め込んでコンタクト36、36a~36cを形成する。その後、前記金属膜をパターニングして、コンタクト36を介して第3パターン34a~34fに電気的に接続されたパッド37a~37f及びコンタクト36a~36cを介して第1パターン31に電気的に接続されたパッド37g~37iを得る。

【0028】このようにして測定用パターンを形成した後、パッド37aとパッド37fとの間に所定の電流を流し、パッド37bとパッド37gとの間の電位差 $V1$ 、パッド37cとパッド37gとの間の電位差 $V2$ 、パッド37cとパッド37hとの間の電位差 $V3$ 、パッド37dとパッド37hとの間の電位差 $V4$ 、パッド37dとパッド37iとの間の電位差 $V5$ 、パッド37eとパッド37iとの間の電位差 $V6$ を測定する。そして、図11に示すように、 $V1 - V2$ 、 $V3 - V4$ 、 $V5 - V6$ をプロットし、これらの3点を直線近似して、 $dV=0$ のときの位置ずれ量 $X0$ を求める。これにより、ゲート電極層のパターンとその上に形成された層間絶縁膜のコンタクト窓（及びコンタクト）との位置ずれ量を検出することができる。

【0029】本実施の形態においては、第1及び第2の実施の形態と同様の効果を得ることができるのに加えて、測定用パターンが1つのパターンで足り、パッドの数も削減できるという利点がある。なお、上述の実施の形態においては、いずれも一方向（X方向）のみの位置ずれを検出する場合について説明したが、一方向に直交する方向（Y方向）に延びる位置ずれ測定用パターンを設けることにより、X-Y平面における位置ずれを同時に測定することができる。

【0030】

【発明の効果】以上説明したように、本発明によれば、半導体基板表面又は半導体基板上に形成された導電パターンとその上に形成されたコンタクト又は他の導電パターンとの間の位置ずれ量を電気的に且つ正確に測定することができる。これにより、半導体デバイスにおける位置ずれと特性歩留りとの関係を正確に把握することがで

きて、歩留りを落とさずに最大限の高集積化を図ることができるという効果を奏する。

【図面の簡単な説明】

【図1】本発明の第1の実施の形態に係る半導体装置の位置ずれ測定方法を示す模式図（その1）である。

【図2】本発明の第1の実施の形態に係る半導体装置の位置ずれ測定方法を示す模式図（その2）である。

【図3】本発明の第1の実施の形態に係る半導体装置の位置ずれ測定方法を示す模式図（その3）である。

【図4】位置ずれ量と電位差との関係を示す図である。

【図5】本発明の第2の実施の形態に係る半導体装置の位置ずれ測定方法を示す模式図（その1）である。

【図6】本発明の第2の実施の形態に係る半導体装置の位置ずれ測定方法を示す模式図（その2）である。

【図7】本発明の第2の実施の形態に係る半導体装置の位置ずれ測定方法を示す模式図（その3）である。

【図8】本発明の第3の実施の形態に係る半導体装置の位置ずれ測定方法を示す模式図（その1）である。

【図9】本発明の第3の実施の形態に係る半導体装置の位置ずれ測定方法を示す模式図（その2）である。

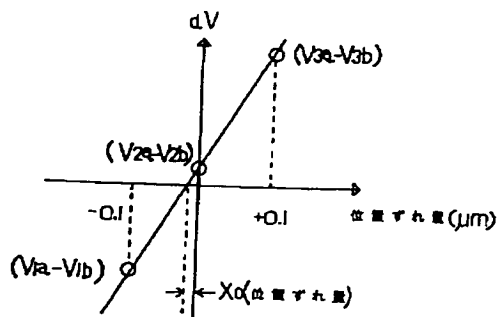
【図10】本発明の第3の実施の形態に係る半導体装置の位置ずれ測定方法を示す模式図（その3）である。

【図11】位置ずれ量と電位差との関係を示す図である。

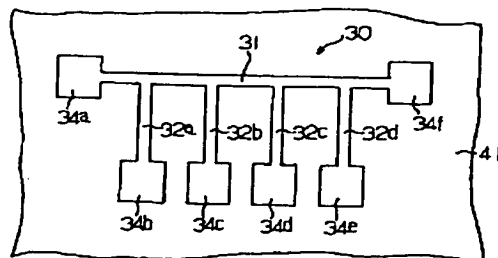
【符号の説明】

- 1, 21a, 31 第1パターン
- 2a, 2b, 21b, 32a~32d 第2パターン
- 3a~3d, 34a~34f 第3パターン
- 4a~4d 第4パターン
- 5a, 5b, 35, 35a~35c コンタクト窓
- 6a, 6b, 36, 36a~36c コンタクト
- 7a~7e, 37a~37f パッド
- 10a~10c, 21, 30 テストパターン
- 11 絶縁膜
- 12, 22 層間絶縁膜
- 20a~20c, 40a~40c 位置ずれ測定用パターン

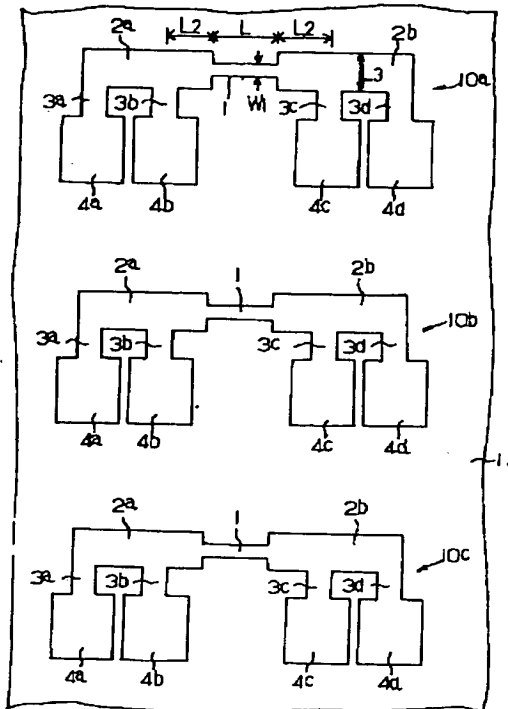
【図4】



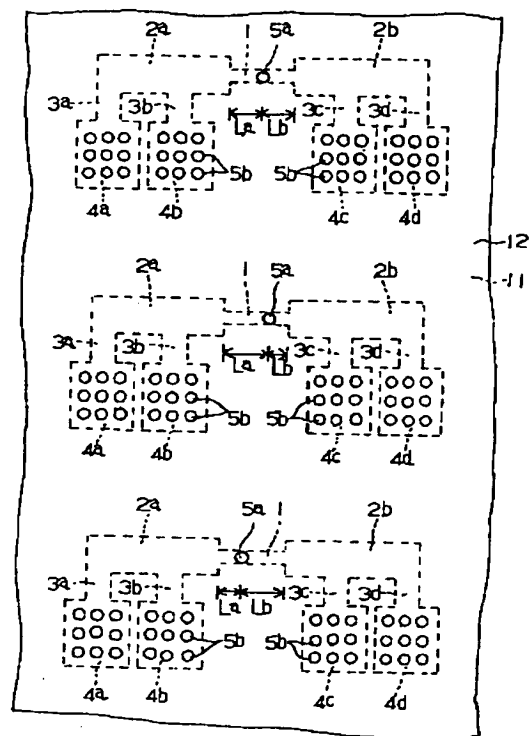
【図8】



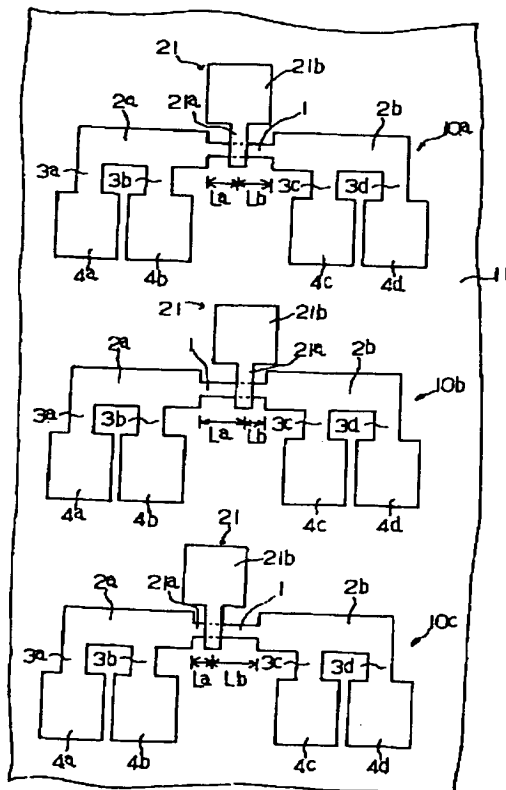
【図1】



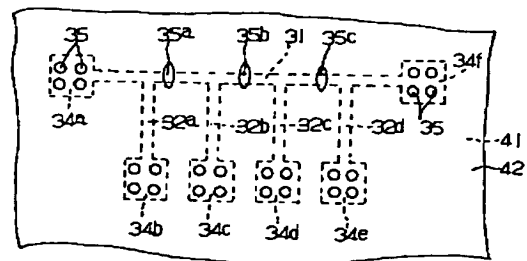
【図2】



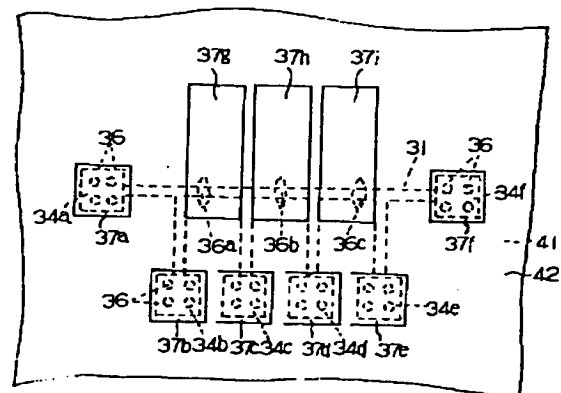
【図5】



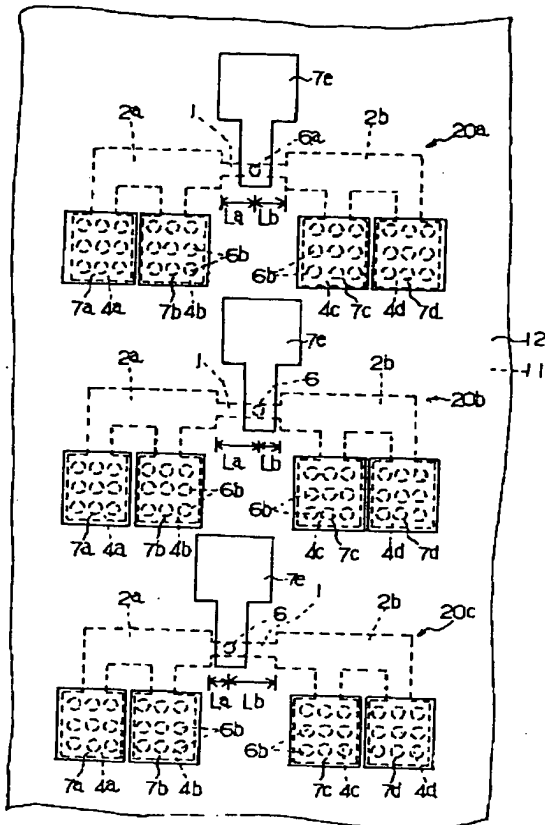
【図9】



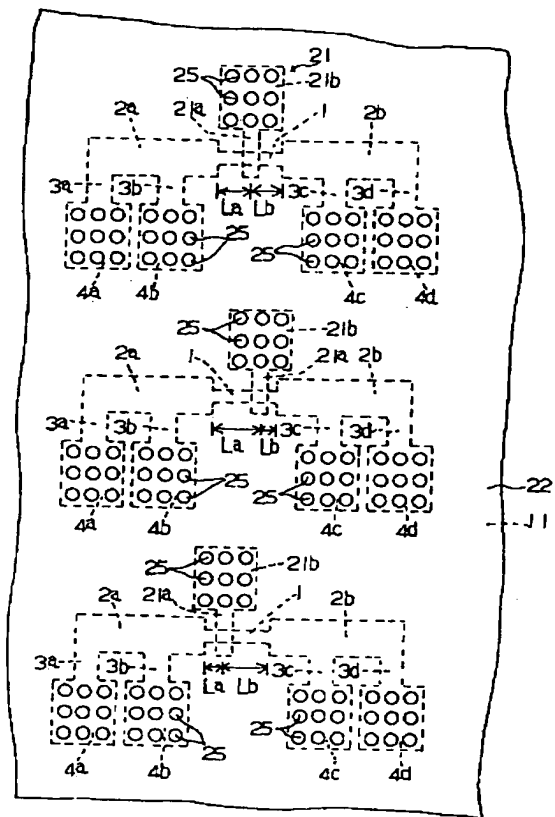
【図10】



【図3】



【図6】



【図11】

